

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

日本国特許庁
JAPAN PATENT OFFICE

K. Sakamoto del.

1/24/02

Q 68096

1 of 1

Jc872 U.S. PTO

10/053772



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月30日

出願番号

Application Number:

特願2001-021600

出願人

Applicant(s):

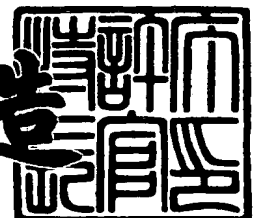
エヌイーシービューテクノロジー株式会社

エヌイーシー三菱電機ビジュアルシステムズ株式会社

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3099700

1

【氏名又は名称】 伊藤 克博

【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008361

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 自動調整方法および自動調整回路

【特許請求の範囲】

【請求項 1】 位相シフト量CLK_DLYの最大値はDLY_MAXとし、DLY_MAX+1シフトしたとき丁度一周分シフトするものとし、

トリガパルスとなる垂直同期信号の割り込みをウェイトし、割り込みが発生すると次のステップに移行する第1のステップと、

位相シフト量CLK_DLYを0に設定し、CPUにより位相制御部に位相制御データ(CLK_DLY = 0)を出力する第2のステップと、

トリガパルスとなる垂直同期信号の割り込みをウェイトし、割り込みが発生すると第4のステップに移行し、映像検出部ではCLK_DLY = 0での1画面分の映像から自動調整に使用するデータを算出し、割り込みが発生すると映像検出データメモリ部にCLK_DLY = 0のときの映像検出データ(VIDEO_DATA(0))を転送する第3のステップと、

位相シフト量CLK_DLYが最大値DLY_MAXまで達しているかを確認し、位相シフト量が最大値に達したときには第7のステップに移行し、位相シフト量が最大値に達していないときには第5のステップに移行する第4のステップと、

位相シフト量CLK_DLYを1増加した値を設定し、前記CPUから前記位相制御部に位相制御データ(CLK_DLY = CLK_DLY+1 = 1)を出力する第5のステップと、

前記CPUにより前記映像検出データメモリ部からCLK_DLY = CLK_DLY-1 = 0のときの映像検出データ(VIDEO_DATA(0))を読み込み、読み込んだ映像検出データは各位相設定値での最適位相判別データとして前記CPUのRAMに保持し、本ステップの処理が終了すると再び前記第3のステップに戻る第6のステップと、

前記第3のステップから第6のステップまでの処理は、第4のステップの条件が満たされるまで繰り返され、

前記CPUにより前記映像検出データメモリ部からCLK_DLY = DLY_MAXのときの映像検出データ(VIDEO_DATA(DLY_MAX))を読み込み、前記CPUによりCLK_DLY = 0～DLY_MAXの各位相設定値での最適位相判別データを取得する第7のステッ

ブと、

前記CPUにより取得した各位相設定値での最適位相判別データを解析し、位相最適値を演算する第8のステップと、

前記CPUにより、求めた位相最適値を位相制御データとして前記位相制御部に出し、前記位相制御部では位相制御データに従ってクロックパルスの位相遅延量を制御し、サンプリングパルスとしてA/D変換部に出し、最適位相でアナログ映像入力信号をサンプリングし、デジタル映像信号に変換してデジタル映像信号処理部に出し、該デジタル映像信号処理部では前記デジタル映像信号の色補正やスケール処理を行い表示部で表示するためのデジタル映像信号に変換し、前記表示部にて映像として表示する第9のステップとを有する、自動調整方法。

【請求項2】 アナログ映像入力信号をサンプリングパルスでサンプリングし、デジタル映像信号に変換するA/D変換部と、

前記デジタル映像信号の色補正やスケール処理を行うデジタル映像信号処理部と、

信号処理されたデジタル映像信号を表示するための表示部と、

水平同期信号からアナログ映像信号をサンプリングするクロックパルスを発生させるクロックパルス生成部と、

前記クロックパルスの位相を制御する位相制御部と、

前記クロックパルスの周波数制御データと位相制御データとを出力し、各周辺回路の制御を行うCPUと、

前記CPUからの前記位相制御データを保持し、垂直同期信号をトリガとして前記位相制御部に前記位相制御データを転送する位相制御データメモリ部と、

デジタル映像信号から自動調整に使用する映像検出データを算出し、前記垂直同期信号をトリガとして前記映像検出データを出力する映像検出部と、

前記映像検出データを保持し、前記CPUの読み込み処理により前記映像検出データを出力する映像検出データメモリ部とを有する自動調整回路。

【請求項3】 位相シフト量CLK_DLYの最大値はDLY_MAXとし、DLY_MAX+1シフトしたとき丁度一周分シフトするものとし、

位相シフト量CLK_DLYを0に設定し、CPUにより位相制御データメモリ部に位相制御データ(CLK_DLY = 0)を出力する第1のステップと、

トリガパルスとなる垂直同期信号をウェイトし、割り込みが発生すると、前記位相制御データメモリ部から位相制御部に位相制御データ(CLK_DLY = 0)を転送する第2のステップと、

位相シフト量CLK_DLYを1に設定し、前記CPUにより前記位相制御データメモリ部に位相制御データ(CLK_DLY = 1)を出力する第3のステップと、

トリガパルスとなる垂直同期信号の割り込みをウェイトし、割り込みが発生すると、前記位相制御データメモリ部から前記位相制御部に位相制御データ(CLK_DLY = 1)を転送し、映像検出部ではCLK_DLY = 0での1画面分の映像から自動調整に使用するデータを算出し、割り込みが発生すると映像検出データメモリ部にCLK_DLY = 0のときの映像検出データ(VIDEO_DATA(0))を転送する第4のステップと、

位相シフト量CLK_DLYが最大値DLY_MAXまで達しているかを確認し、位相シフト量が最大値に達したときには第8のステップに移行し、位相シフト量が最大値に達していないときには第6のステップに移行する第5のステップと、

位相シフト量CLK_DLYを1増加した値を設定し、CPUにより前記位相制御データメモリ部に位相制御データ(CLK_DLY = CLK_DLY+1 = 2)を出力する第6のステップと、

前記映像検出データメモリ部からCLK_DLY = CLK_DLY-2 = 0のときの映像検出データ(VIDEO_DATA(0))を読み込み、読み込んだ映像検出データは各位相設定値での最適位相判別データとして前記CPUのRAMに保持し、本ステップの処理が終了すると再び前記第4のステップに戻る第7のステップと、

前記第4のステップから第7のステップまでの処理は、第5のステップの条件が満たされるまで繰り返され、

前記CPUにより前記映像検出データメモリ部からCLK_DLY = DLY_MAX-1のときの映像検出データ(VIDEO_DATA(DLY_MAX-1))を読み込む第8のステップと、

トリガパルスとなる垂直同期信号の割り込みをウェイトし、前記映像検出部ではCLK_DLY = DLY_MAXでの1画面分の映像から自動調整に使用するデータを算出

し、割り込みが発生すると前記映像検出データメモリ部に $CLK_DLY = DLY_MAX$ のときの映像検出データ($VIDEO_DATA(DLY_MAX)$)を転送する第 9 のステップと、

前記 CPU により前記映像検出データメモリ部から $CLK_DLY = DLY_MAX$ のときの映像検出データ($VIDEO_DATA(DLY_MAX)$)を読み込み、前記 CPU により $CLK_DLY = 0 \sim DLY_MAX$ の各位相設定値での最適位相判別データを取得する第 10 のステップと、

前記 CPU により、取得した各位相設定値での最適位相判別データを解析し、位相最適値を演算する第 11 のステップと、

前記 CPU により前記位相制御データメモリ部を介して、求めた位相最適値を位相制御データとして前記位相制御部に出力し、前記位相制御部では位相制御データに従ってクロックパルスの位相遅延量を制御し、サンプリングパルスとして A/D 変換部に出力し、最適位相でアナログ映像入力信号をサンプリングし、デジタル映像信号に変換してデジタル映像信号処理部に出力し、該デジタル映像信号処理部では前記デジタル映像信号の色補正やスケーリング処理を行い表示部で表示するためのデジタル映像信号に変換し、前記表示部にて映像として表示する第 12 のステップとを有する、自動調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

自動調整方法および自動調整回路に関する。

【0002】

【従来の技術】

液晶表示装置の映像サンプリングクロック位相の自動調整においては、CPU から位相制御データを送信し、設定した位相値にてサンプリングし表示された画像から検出される映像検出データを CPU が受信する処理を、位相値を変化させながら繰り返し、受信した映像検出データを元に最適な位相値を決定する手法が用いられる。自動位相調整では、位相設定データを送信する期間及び設定した位相値にてサンプリングした画像を 1 画面分表示する期間のウェイト時間が必要である。

【 0 0 0 3 】

従来の技術を図 6，図 7 および図 8 を用いて説明する。

【 0 0 0 4 】

図 6 は従来の自動位相調整の回路構成例、図 7 は従来の自動位相調整のフローチャートの一例、図 8 は従来の自動位相調整のタイミングチャートの一例である。

【 0 0 0 5 】

パーソナルコンピュータ等のアナログ映像入力信号 V 1 0 1 をサンプリングパルス S 1 0 7 でサンプリングし、デジタル映像信号 V 1 0 2 に変換する A/D 変換部 1 0 1，デジタル映像信号 V 1 0 2 の色補正やスケーリング処理を行うデジタル映像信号処理部 1 0 2，信号処理されたデジタル映像信号 V 1 0 3 を表示するための表示部 1 0 3，水平同期信号 S 1 0 1 からアナログ映像信号をサンプリングするクロックパルス S 1 0 5 を発生させるクロックパルス生成部 1 0 5，クロックパルス S 1 0 5 の位相を制御する位相制御部 1 0 6，クロックパルスの周波数制御データ S 1 0 3，位相制御データ S 1 0 4 を出力する等、各周辺回路の制御を行う CPU 1 0 4，デジタル映像信号 V 1 0 2 から自動調整に使用する映像検出データ S 1 0 6 を算出し、S 1 0 2 をトリガとして映像検出データ S 1 0 6 を出力する映像検出部 1 0 8，映像検出データ S 1 0 6 を保持し、CPU 1 0 4 の読み込み処理により映像検出データ S 1 0 6 を出力する映像検出データメモリ部 1 0 9 を有する。

【 0 0 0 6 】

従来の自動位相調整の動作について説明する。位相シフト量 CLK_DLY の最大値は DLY_MAX とし、DLY_MAX+1 シフトしたとき丁度一周期分シフトするものとする。

【 0 0 0 7 】

処理 F 7 0 1 では、位相シフト量 CLK_DLY を 0 に設定する。CPU 1 0 4 は位相制御部 1 0 6 に位相制御データ S 1 0 4 (CLK_DLY = 0) を出力する。

【 0 0 0 8 】

処理 F 7 0 2 では、トリガパルスとなる垂直同期信号 S 1 0 2 の割り込みをウェイトしている。割り込みが発生すると処理 F 7 0 3 に移行する。

【0009】

処理F703では、トリガパルスとなる垂直同期信号S102の割り込みをウェイトしている。割り込みが発生すると処理F704に移行する。

【0010】

処理F704では、位相シフト量CLK_DLYが最大値DLY_MAXまで達しているかを確認する。位相シフト量が最大値に達したときには処理F707に移行する。位相シフト量が最大値に達していないときには処理F705に移行する。

【0011】

処理F705では、CPU104は映像検出データメモリ部109からCLK_DLY = 0のときの映像検出データS106(VIDEO_DATA(0))を読み込む。読み込んだ映像検出データS106は各位相設定値での最適位相判別データとしてCPU104の図示しないRAMに保持される。

【0012】

処理F706では、CPU104から位相制御部106に位相制御データS104(CLK_DLY = CLK_DLY+1 = 1)が出力される。処理F706が終了すると再び処理F702に戻る。この処理は、処理F704の条件が満たされるまで繰り返される。

【0013】

処理F707では、CPU104は映像検出データメモリ部109からCLK_DLY = DLY_MAXのときの映像検出データS106(VIDEO_DATA(DLY_MAX))を読み込む。CPU104はこの時点でCLK_DLY = 0~DLY_MAXの各位相設定値での最適位相判別データを取得する。

【0014】

処理F708では、CPU104は取得した各位相設定値での最適位相判別データを解析し、位相最適値を演算する。

【0015】

処理F709では、CPU104は、求めた位相最適値を位相制御データS104として位相制御部106に出力する。位相制御部106では位相制御データS104に従ってクロックパルスS105の位相遅延量を制御し、サンプリング

パルス S107 として A/D 変換部 101 に出力する。以下、通常表示状態と同様に処理を行い、最適位相でサンプリングした映像が表示部 103 にて表示される。

【0016】

一連の処理にかかるウェイト時間は(垂直同期期間 $\times ((DLY_MAX+1) \times 2)$)となる。

【0017】

【発明が解決しようとする課題】

上述の従来技術では、最初に処理位相シフト量 CLK_DLY を 0 に設定し、トリガパルスとなる垂直同期信号 S102 の割り込みを 2 回ウェイトすることで設定した位相値にてサンプリングした画像を 1 画面分表示する期間をとっているためウェイト時間を短く出来ず、自動調整に時間がかかるという問題があった。

【0018】

パーソナルコンピュータ等のアナログ映像出力信号をサンプリングして表示する液晶表示装置の映像サンプリングクロック位相の自動調整においては、CPU から位相制御データを送信し、設定した位相値にてサンプリングし表示された画像から検出される映像検出データを CPU が受信する処理を位相値を変化させながら繰り返し、受信した映像検出データを元に最適な位相値を決定する手法が用いられる。位相最適値の決定方法としては、隣接画素間の輝度差分値を 1 画面分積算した値を利用する手法等がある。従来はいずれの方法においても、位相設定データを送信する期間及び設定した位相値にてサンプリングした画像を 1 画面分測定する期間のウェイト時間が必要である。一般的には垂直同期信号を割込信号として 2 回割込が入る期間ウェイトしているため、自動調整が終了するまでに時間がかかるという問題があった。

【0019】

本発明の目的は、自動調整にかかる時間を大幅に短縮する自動調整方法および自動調整回路を提供することにある。

【0020】

【課題を解決するための手段】

本発明は、液晶表示装置の自動位相調整において1画面のウェイト期間中に位相設定データを送信して自動調整の処理手順を効率化することにより、自動調整にかかる時間を大幅に短縮する自動調整方法を提供し、また、位相制御データメモリ部、映像検出データメモリ部及び垂直同期信号によるトリガ入力を有する自動調整回路によって自動調整を行い、CPUとの通信速度に制限のある場合でも自動調整にかかる時間を大幅に短縮する自動調整方法および自動調整回路を提供するものである。

【 0 0 2 1 】

CPUは位相制御データメモリ部に位相制御データ(CLK_DLY = 0)を出力する。次にトリガパルスとなる垂直同期信号をウェイトし、割り込みが発生すると、位相制御データメモリ部から位相制御部に位相制御データ(CLK_DLY = 0)が転送される。CPUは位相制御データメモリ部に位相制御データ(CLK_DLY = 1)を出力する。

【 0 0 2 2 】

次に、トリガパルスとなる垂直同期信号の割り込みをウェイトし、割り込みが発生すると、位相制御データメモリ部から位相制御部に位相制御データ(CLK_DLY = 1)が転送される。映像検出部ではCLK_DLY = 0での1画面分の映像から自動調整に使用するデータを算出し、割り込みが発生すると映像検出データメモリ部にCLK_DLY = 0のときの映像検出データ(VIDEO_DATA(0))を転送する。

【 0 0 2 3 】

次に、CPUは位相制御データメモリ部に位相制御データ(CLK_DLY = CLK_DLY + 1 = 2)を出力し、映像検出データメモリ部からCLK_DLY = CLK_DLY - 2 = 0のときの映像検出データ(VIDEO_DATA(0))を読み込む。読み込んだ映像検出データは各位相設定値での最適位相判別データとしてCPUのRAMに保持される。位相シフト量CLK_DLYが最大値DLY_MAXに達するまで繰り返し、CPUはCLK_DLY = 0 ~ DLY_MAXの各位相設定値での最適位相判別データを取得する。

【 0 0 2 4 】

CPUは取得した各位相設定値での最適位相判別データを解析し、位相最適値を演算し、求めた位相最適値を位相制御データとして位相制御部に出力し、最適

位相でサンプリングした映像が表示部にて表示される。

【 0 0 2 5 】

本発明の第一の特徴は、CPUの通信速度が速くできる場合、自動位相調整の手順として、垂直同期割込直後に位相シフト量 $CLK_DLY = n$ を設定し、次の割込が垂直同期発生したときに位相シフト量 $CLK_DLY = n+1$ を設定した後映像検出データ $VIDEO_DATA(n)$ を読み込む点である。

【 0 0 2 6 】

本発明の第二の特徴は、自動調整回路として位相制御データメモリ部及び垂直同期信号によるトリガ入力を有する点である。

【 0 0 2 7 】

本発明の第三の特徴は、自動位相調整においてCPUから位相制御データメモリ部に位相制御データを出力する点である。

【 0 0 2 8 】

本発明の第四の特徴は、トリガパルスとなる垂直同期信号の割り込みが発生すると、位相制御データメモリ部から位相制御部に位相制御データが転送される点である。

【 0 0 2 9 】

【発明の実施の形態】

（本発明の第一の実施の形態）

本発明の第一の実施の形態を図6に示す。

【 0 0 3 0 】

図6は自動調整回路の構成例である。

【 0 0 3 1 】

パーソナルコンピュータ等のアナログ映像入力信号 $V101$ をサンプリングパルス $S107$ でサンプリングし、デジタル映像信号 $V102$ に変換するA/D変換部101、デジタル映像信号 $V102$ の色補正やスケーリング処理を行うデジタル映像信号処理部102、信号処理されたデジタル映像信号 $V103$ を表示するための表示部103、水平同期信号 $S101$ からアナログ映像信号をサンプリングするクロックパルス $S105$ を発生させるクロックパルス生成部105、ク

ロックパルス S 1 0 5 の位相を制御する位相制御部 1 0 6, クロックパルスの周波数制御データ S 1 0 3, 位相制御データ S 1 0 4 を出力する等、各周辺回路の制御を行う CPU 1 0 4, デジタル映像信号 V 1 0 2 から自動調整に使用する映像検出データ S 1 0 6 を算出し、S 1 0 2 をトリガとして映像検出データ S 1 0 6 を出力する映像検出部 1 0 8, 映像検出データ S 1 0 6 を保持し、CPU 1 0 4 の読み込み処理により映像検出データ S 1 0 6 を出力する映像検出データメモリ部 1 0 9 を有する。

【 0 0 3 2 】

次に本発明の第一の実施の形態の動作を、図 1, 図 2 および図 6 を参照しながら説明する。

【 0 0 3 3 】

図 1 は本発明の自動位相調整のフローチャートの一例、図 2 は本発明の自動位相調整のタイミングチャートの一例である。

【 0 0 3 4 】

まず、通常表示状態での回路動作について説明する。CPU 1 0 4 はクロックパルス生成部 1 0 5 に周波数制御データ S 1 0 3 を、位相制御部 1 0 6 に位相制御データ S 1 0 4 を出力し、クロックパルス生成部 1 0 5 では水平同期信号 S 1 0 1 を基本クロックとして周波数制御データ S 1 0 3 に従ってクロックパルス S 1 0 5 を生成し、位相制御部 1 0 6 では位相制御データ S 1 0 4 に従ってクロックパルス S 1 0 5 の位相遅延量を制御し、サンプリングパルス S 1 0 7 として A/D 変換部 1 0 1 に出力する。A/D 変換部 1 0 1 ではサンプリングパルス S 1 0 7 でアナログ映像入力信号 V 1 0 1 をサンプリングし、デジタル映像信号 V 1 0 2 に変換してデジタル映像信号処理部 1 0 2 に出力する。デジタル映像信号処理部 1 0 2 ではデジタル映像信号 V 1 0 2 の色補正やスケーリング処理等を行い表示部 1 0 3 で表示するためのデジタル映像信号 V 1 0 3 に変換し、表示部 1 0 3 にて映像として表示される。

【 0 0 3 5 】

次に自動位相調整を行った場合の動作について説明する。位相シフト量 CLK_DL Y の最大値は DLY_MAX とし、DLY_MAX+1 シフトしたとき丁度一周期分シフトするも

のとする。

【0036】

処理F101では、トリガパルスとなる垂直同期信号S102の割り込みをウェイトしている。割り込みが発生すると処理F102に移行する。

【0037】

処理F102では、位相シフト量CLK_DLYを0に設定する。CPU104は位相制御部106に位相制御データS104 (CLK_DLY = 0)を出力する。

【0038】

処理F103では、トリガパルスとなる垂直同期信号S102の割り込みをウェイトしている。割り込みが発生すると処理F104に移行する。処理F103のウェイト期間はCLK_DLY = 0での1画面分にあたる。映像検出部108ではCLK_DLY = 0での1画面分の映像から自動調整に使用するデータを算出し、割り込みが発生すると映像検出データメモリ部109にCLK_DLY = 0のときの映像検出データS106 (VIDEO_DATA(0))を転送する。

【0039】

処理F104では、位相シフト量CLK_DLYが最大値DLY_MAXまで達しているかを確認する。位相シフト量が最大値に達したときには処理F107に移行する。位相シフト量が最大値に達していないときには処理F105に移行する。

【0040】

処理F105では、位相シフト量CLK_DLYを1増加した値を設定する。CPU104から位相制御部106に位相制御データS104 (CLK_DLY = CLK_DLY+1 = 1)が出力される。

【0041】

処理F106では、CPU104は映像検出データメモリ部109からCLK_DLY = CLK_DLY-1 = 0のときの映像検出データS106 (VIDEO_DATA(0))を読み込む。読み込んだ映像検出データS106は各位相設定値での最適位相判別データとしてCPU104の図示しないRAMに保持される。処理F106が終了すると再び処理F103に戻る。この処理は、処理F104の条件が満たされるまで繰り返される。

【 0 0 4 2 】

処理 F 1 0 7 では、C P U 1 0 4 は映像検出データメモリ部 1 0 9 から CLK_DLY = DLY_MAX のときの映像検出データ S 1 0 6 (VIDEO_DATA(DLY_MAX)) を読み込む。C P U 1 0 4 はこの時点で CLK_DLY = 0 ~ DLY_MAX の各位相設定値での最適位相判別データを取得する。

【 0 0 4 3 】

処理 F 1 0 8 では、C P U 1 0 4 は取得した各位相設定値での最適位相判別データを解析し、位相最適値を演算する。

【 0 0 4 4 】

処理 F 1 0 9 では、C P U 1 0 4 は、求めた位相最適値を位相制御データ S 1 0 4 として位相制御部 1 0 6 に出力する。位相制御部 1 0 6 では位相制御データ S 1 0 4 に従ってクロックパルス S 1 0 5 の位相遅延量を制御し、サンプリングパルス S 1 0 7 として A / D 変換部 1 0 1 に出力する。以下、通常表示状態と同様に処理を行い、最適位相でサンプリングした映像が表示部 1 0 3 にて表示される。

【 0 0 4 5 】

一連の処理にかかるウェイト時間は (垂直同期期間 $\times ((DLY_MAX + 1) + 1))$ となる。

【 0 0 4 6 】

このように、本発明の第一の実施の形態の自動調整方法を用いて自動位相調整を行うことによりウェイト時間を半分近くまで短縮することが可能となる。

【 0 0 4 7 】

本発明の第一の実施の形態において、位相を変化させたサンプリングパルスにて A / D 変換部でサンプリングされたデジタル映像信号が映像検出部に入力されるには、割り込みが発生して C P U から位相制御部へ位相制御データが送信される時間と位相制御部でサンプリングパルス位相を制御して出力するまでの時間の和が、垂直同期パルス期間と映像バックポーチ期間の和よりも短くなければならないという条件がある。一般的には位相制御部でサンプリングパルス位相を制御して出力するまでの時間はごく短く、1 水平同期期間もかからない程度であるの

で、CPUから位相制御部へ位相制御データを送信する時間が大きく影響する。CPUの通信速度が速くできないようなシステムでは本発明の第一の実施の形態の自動調整方法は用いることが出来ない。

【 0 0 4 8 】

本発明の第一の実施の形態の問題を解決する方法として、位相制御データメモリ部、映像検出データメモリ部及び垂直同期信号によるトリガ入力を有する自動調整回路を用いた、通信速度が速くできない場合の自動位相調整方法を第二の実施の形態として以下に示す。

【 0 0 4 9 】

(本発明の第二の実施の形態)

本発明の第二の実施の形態を図3に示す。

【 0 0 5 0 】

図3は自動調整にかかる時間を大幅に短縮する自動調整回路の構成例である。

【 0 0 5 1 】

アナログ映像入力信号V101をサンプリングパルスS107でサンプリングし、デジタル映像信号V102に変換するA/D変換部101、デジタル映像信号V102の色補正やスケーリング処理を行うデジタル映像信号処理部102、信号処理されたデジタル映像信号V103を表示するための表示部103、水平同期信号S101からアナログ映像信号をサンプリングするクロックパルスS105を発生させるクロックパルス生成部105、クロックパルスS104の位相を制御する位相制御部106、クロックパルスの周波数制御データS103、位相制御データS104を出力する等、各周辺回路の制御を行うCPU104、CPU104からの位相制御データS104を保持し、垂直同期信号S102をトリガとして位相制御部106に位相制御データS104を転送する位相制御データメモリ部107、デジタル映像信号V102から自動調整に使用する映像検出データS106を算出し、垂直同期信号S102をトリガとして映像検出データS106を出力する映像検出部108、映像検出データS106を保持し、CPU104の読み込み処理により映像検出データS106を出力する映像検出データメモリ部109を有する。

【 0 0 5 2 】

次に本発明の第二の実施の形態の動作を、図 3、図 4 および図 5 を参照しながら説明する。

【 0 0 5 3 】

図 4 は本発明の第二の実施の形態の回路構成で自動位相調整を行った場合のフローチャートの一例、図 5 は本発明の第二の実施の形態の回路構成で自動位相調整を行った場合のタイミングチャートの一例である。

【 0 0 5 4 】

まず、通常表示状態での回路動作について説明する。CPU 1 0 4 はクロックパルス生成部 1 0 5 に周波数制御データ S 1 0 3 を、位相制御データメモリ部 1 0 7 を介して位相制御部 1 0 6 に位相制御データ S 1 0 4 を出力し、クロックパルス生成部 1 0 5 では水平同期信号 S 1 0 1 を基本クロックとして周波数制御データ S 1 0 3 に従ってクロックパルス S 1 0 5 を生成し、位相制御部 1 0 6 では位相制御データ S 1 0 4 に従ってクロックパルス S 1 0 5 の位相遅延量を制御し、サンプリングパルス S 1 0 7 として A/D 変換部 1 0 1 に出力する。A/D 変換部 1 0 1 ではサンプリングパルス S 1 0 7 でアナログ映像入力信号 V 1 0 1 をサンプリングし、デジタル映像信号 V 1 0 2 に変換してデジタル映像信号処理部 1 0 2 に出力する。デジタル映像信号処理部 1 0 2 ではデジタル映像信号 V 1 0 2 の色補正やスケージング処理等を行い表示部 1 0 3 で表示するためのデジタル映像信号 V 1 0 3 に変換し、表示部 1 0 3 にて映像として表示される。

【 0 0 5 5 】

次に自動位相調整を行った場合の動作について説明する。位相シフト量 CLK_DL Y の最大値は DLY_MAX とし、DLY_MAX+1 シフトしたとき丁度一周期分シフトするものとする。

【 0 0 5 6 】

処理 F 2 0 1 では、位相シフト量 CLK_DLY を 0 に設定する。CPU 1 0 4 は位相制御データメモリ部 1 0 7 に位相制御データ S 1 0 4 (CLK_DLY = 0) を出力する。

【 0 0 5 7 】

処理 F 2 0 2 では、トリガパルスとなる垂直同期信号 S 1 0 2 の割り込みをウェイトしている。割り込みが発生すると、位相制御データメモリ部 1 0 7 から位相制御部 1 0 6 に位相制御データ S 1 0 4 (CLK_DLY = 0) が転送される。

【 0 0 5 8 】

処理 F 2 0 3 では、位相シフト量 CLK_DLY を 1 に設定する。CPU 1 0 4 は位相制御データメモリ部 1 0 7 に位相制御データ S 1 0 4 (CLK_DLY = 1) を出力する。

【 0 0 5 9 】

処理 F 2 0 4 では、トリガパルスとなる垂直同期信号 S 1 0 2 の割り込みをウェイトしている。割り込みが発生すると、位相制御データメモリ部 1 0 7 から位相制御部 1 0 6 に位相制御データ S 1 0 4 (CLK_DLY = 1) が転送される。また、処理 F 2 0 4 のウェイト期間は CLK_DLY = 0 での 1 画面分にあたる。映像検出部 1 0 8 では CLK_DLY = 0 での 1 画面分の映像から自動調整に使用するデータを算出し、割り込みが発生すると映像検出データメモリ部 1 0 9 に CLK_DLY = 0 のときの映像検出データ S 1 0 6 (VIDEO_DATA(0)) を転送する。

【 0 0 6 0 】

処理 F 2 0 5 では、位相シフト量 CLK_DLY が最大値 DLY_MAX まで達しているかを確認する。位相シフト量が最大値に達したときには処理 F 2 0 8 に移行する。位相シフト量が最大値に達していないときには処理 F 2 0 6 に移行する。

【 0 0 6 1 】

処理 F 2 0 6 では、位相シフト量 CLK_DLY を 1 増加した値を設定する。CPU 1 0 4 は位相制御データメモリ部 1 0 7 に位相制御データ S 1 0 4 (CLK_DLY = CLK_DLY + 1 = 2) を出力する。

【 0 0 6 2 】

処理 F 2 0 7 では、CPU 1 0 4 は映像検出データメモリ部 1 0 9 から CLK_DLY = CLK_DLY - 2 = 0 のときの映像検出データ S 1 0 6 (VIDEO_DATA(0)) を読み込む。読み込んだ映像検出データ S 1 0 6 は各位相設定値での最適位相判別データとして CPU 1 0 4 の図示しない RAM に保持される。処理 F 2 0 7 が終了すると再び処理 F 2 0 4 に戻る。この処理は、処理 F 2 0 5 の条件が満たされるまで繰

り返される。

【0063】

処理F208では、CPU104は映像検出データメモリ部109からCLK_DLY = DLY_MAX-1のときの映像検出データS106 (VIDEO_DATA(DLY_MAX-1))を読み込む。

【0064】

処理F209では、トリガパルスとなる垂直同期信号S102の割り込みをウェイトしている。処理F209のウェイト期間はCLK_DLY = DLY_MAXでの1画面分にあたる。映像検出部108ではCLK_DLY = DLY_MAXでの1画面分の映像から自動調整に使用するデータを算出し、割り込みが発生すると映像検出データメモリ部109にCLK_DLY = DLY_MAXのときの映像検出データS106 (VIDEO_DATA(DLY_MAX))を転送する。

【0065】

処理F210では、CPU104は映像検出データメモリ部109からCLK_DLY = DLY_MAXのときの映像検出データS106 (VIDEO_DATA(DLY_MAX))を読み込む。CPU104はこの時点でCLK_DLY = 0~DLY_MAXの各位相設定値での最適位相判別データを取得する。

【0066】

処理211では、CPU104は取得した各位相設定値での最適位相判別データを解析し、位相最適値を演算する。

【0067】

処理212では、CPU104は位相制御データメモリ部107を介して、求めた位相最適値を位相制御データS104として位相制御部106に出力する。位相制御部106では位相制御データS104に従ってクロックパルスS105の位相遅延量を制御し、サンプリングパルスS107としてA/D変換部101に出力する。以下、通常表示状態と同様に処理を行い、最適位相でサンプリングした映像が表示部103にて表示される。

【0068】

一連の処理にかかるウェイト時間は(垂直同期期間×((DLY_MAX+1)+2))とな

る。

【0069】

このように、位相制御部に出力する位相制御データを保持する位相制御データメモリ部を追加することにより、CPUの通信速度が速くできない場合にもあらかじめ位相制御データを送信しておくことが出来、垂直同期信号割込後位相制御部へ位相制御データが転送される時間と位相制御部でサンプリングパルスの位相を制御して出力するまでの時間の和は垂直同期パルス期間と映像バックポーチ期間の和よりも十分短いので、第一の実施の形態と同様にウェイト時間を半分近くまで短縮することが可能となる。

【0070】

本実施の形態では、割込信号として垂直同期信号を使用しているが、CPUが生成する割込信号等を用いても構わない。

【0071】

また、本実施の形態では液晶表示装置の自動位相調整の場合について説明しているが、自動調整に限らず、一定のウェイト時間を必要とし繰り返しデータサンプルが必要なデータ処理を行うシステムに対して用いることが可能であり、液晶表示装置の自動位相調整に限らない。

【0072】

【発明の効果】

以上説明したように、本発明には以下の効果がある。

【0073】

本発明の第一の効果は、CPUの通信速度が速くできる場合、自動位相調整の手順として、垂直同期割込直後に位相シフト量 $CLK_DLY = n$ を設定し、次の割込が垂直同期発生したときに位相シフト量 $CLK_DLY = n+1$ を設定した後、映像検出データ $VIDEO_DATA(n)$ を読み込むことで、回路構成の変更なしに自動調整にかかる時間を短縮できる点である。

【0074】

本発明の第二の効果は、自動調整回路として位相制御データメモリ部、映像検出データメモリ部及び垂直同期信号によるトリガ入力を有することで、CPUの

通信速度が速くできない場合にも自動調整にかかる時間を短縮できる点である。

【図面の簡単な説明】

【図 1】

本発明の第一の実施の形態の回路構成で自動位相調整を行った場合のフローチャートの一例を示す図である。

【図 2】

本発明の第一の実施の形態の回路構成で自動位相調整を行った場合のタイミングチャートの一例を示す図である。

【図 3】

本発明の第二の実施の形態の回路構成を示す図である。

【図 4】

本発明の第二の実施の形態の回路構成で自動位相調整を行った場合のフローチャートの一例を示す図である。

【図 5】

本発明の第二の実施の形態の回路構成で自動位相調整を行った場合のタイミングチャートの一例を示す図である。

【図 6】

従来の自動位相調整の回路構成例を示す図である。

【図 7】

従来の自動位相調整のフローチャートの一例を示す図である。

【図 8】

従来の自動位相調整のタイミングチャートの一例を示す図である。

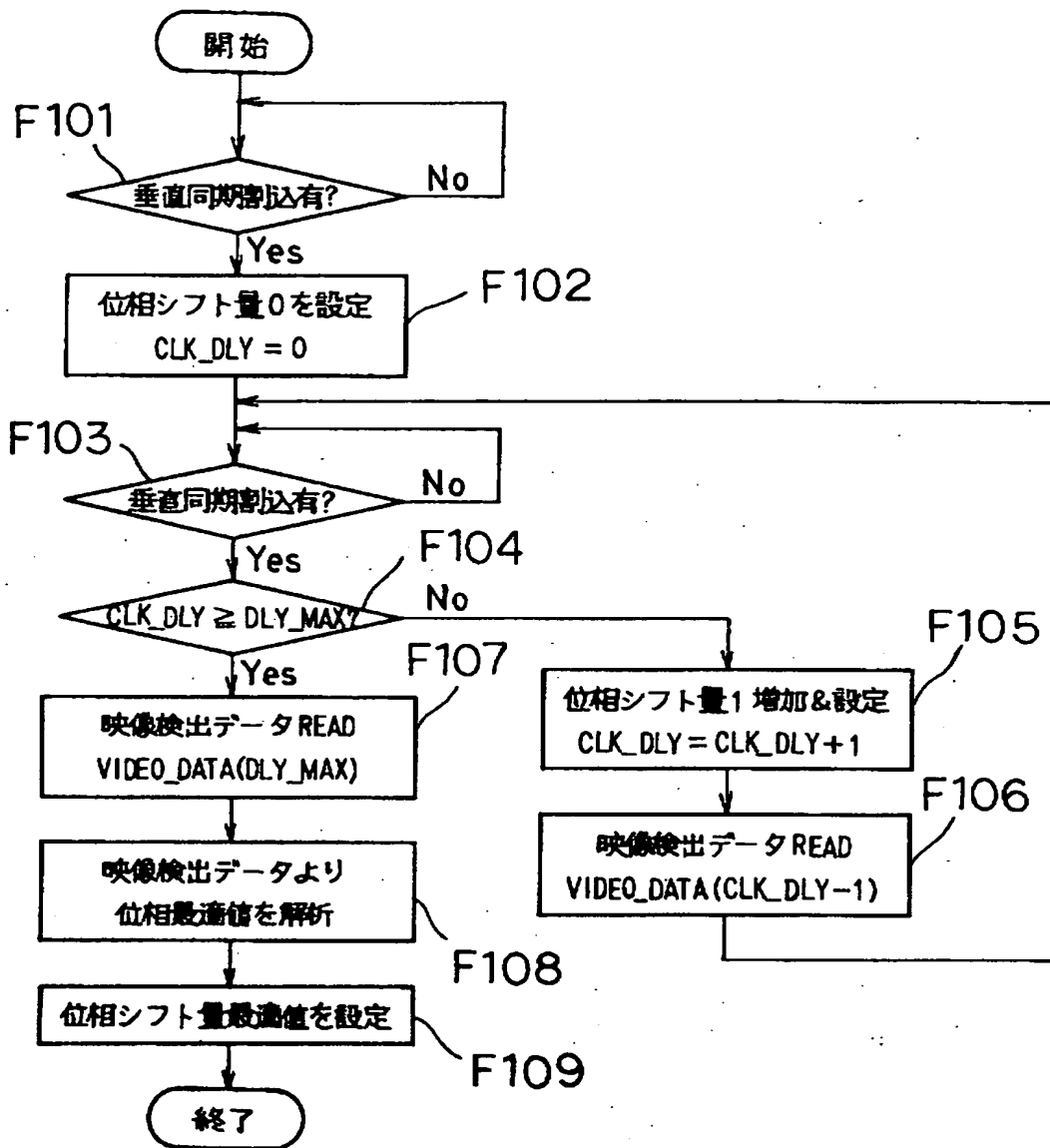
【符号の説明】

- 1 0 1 A / D 変換部
- 1 0 2 デジタル映像信号処理部
- 1 0 3 表示部
- 1 0 4 C P U
- 1 0 5 クロックパルス生成部
- 1 0 6 位相制御部

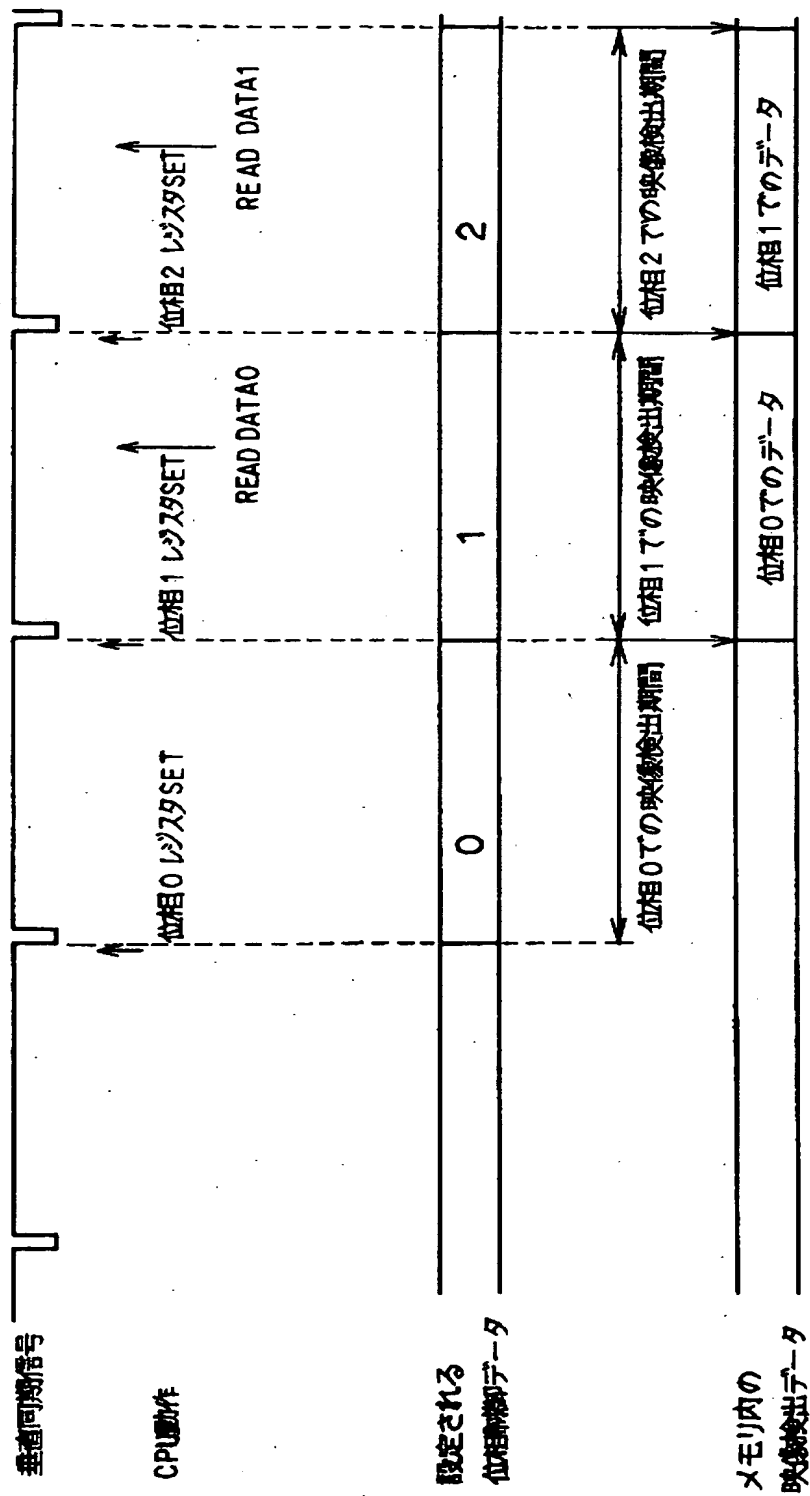
1 0 7	位相制御データメモリ部
1 0 8	映像検出部
1 0 9	映像検出データメモリ部
S 1 0 1	水平同期信号
S 1 0 2	垂直同期信号
S 1 0 3	クロックパルスの周波数制御データ
S 1 0 4	位相制御データ
S 1 0 5	クロックパルス
S 1 0 6	映像検出データ
S 1 0 7	サンプリングパルス
V 1 0 1	アナログ映像入力信号
V 1 0 2	デジタル映像信号
V 1 0 3	デジタル映像信号

【書類名】 図面

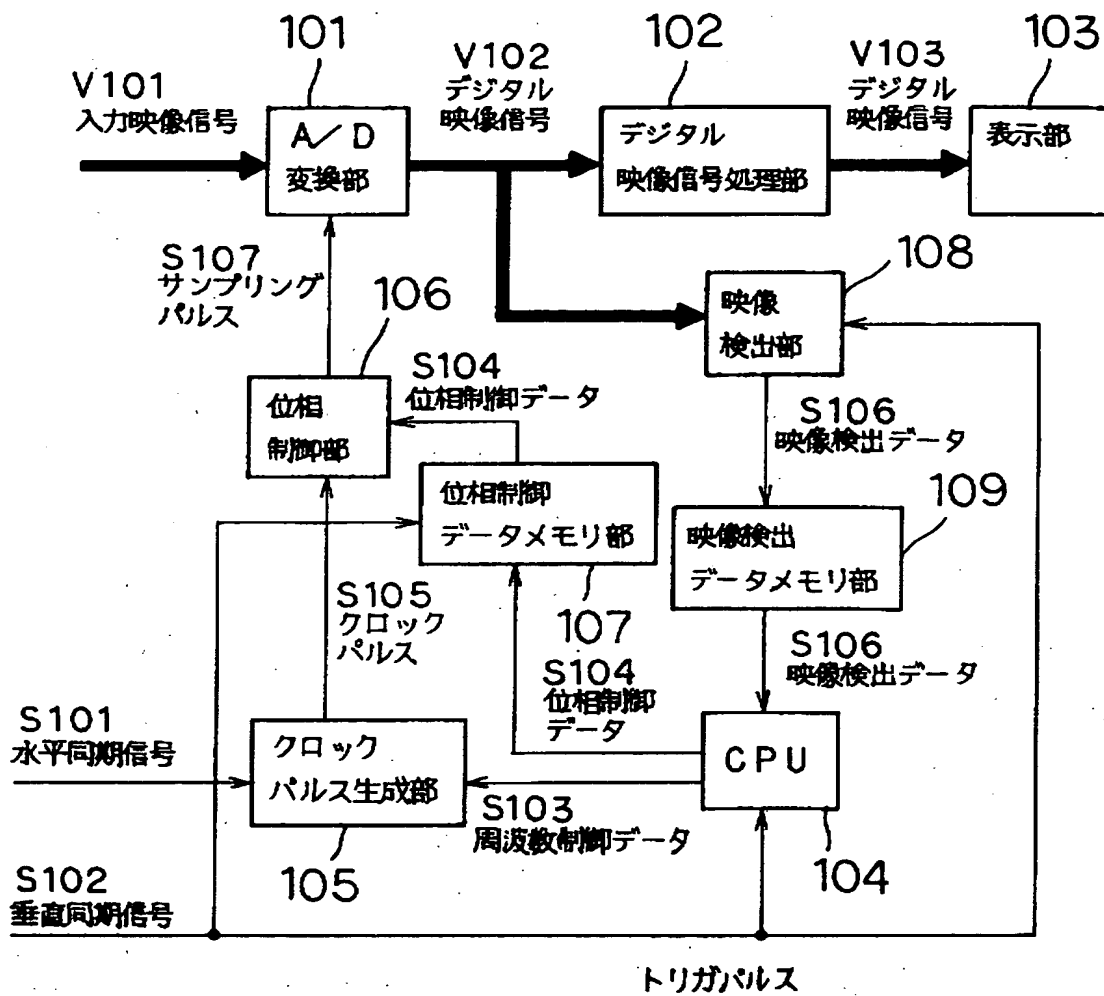
【図 1】



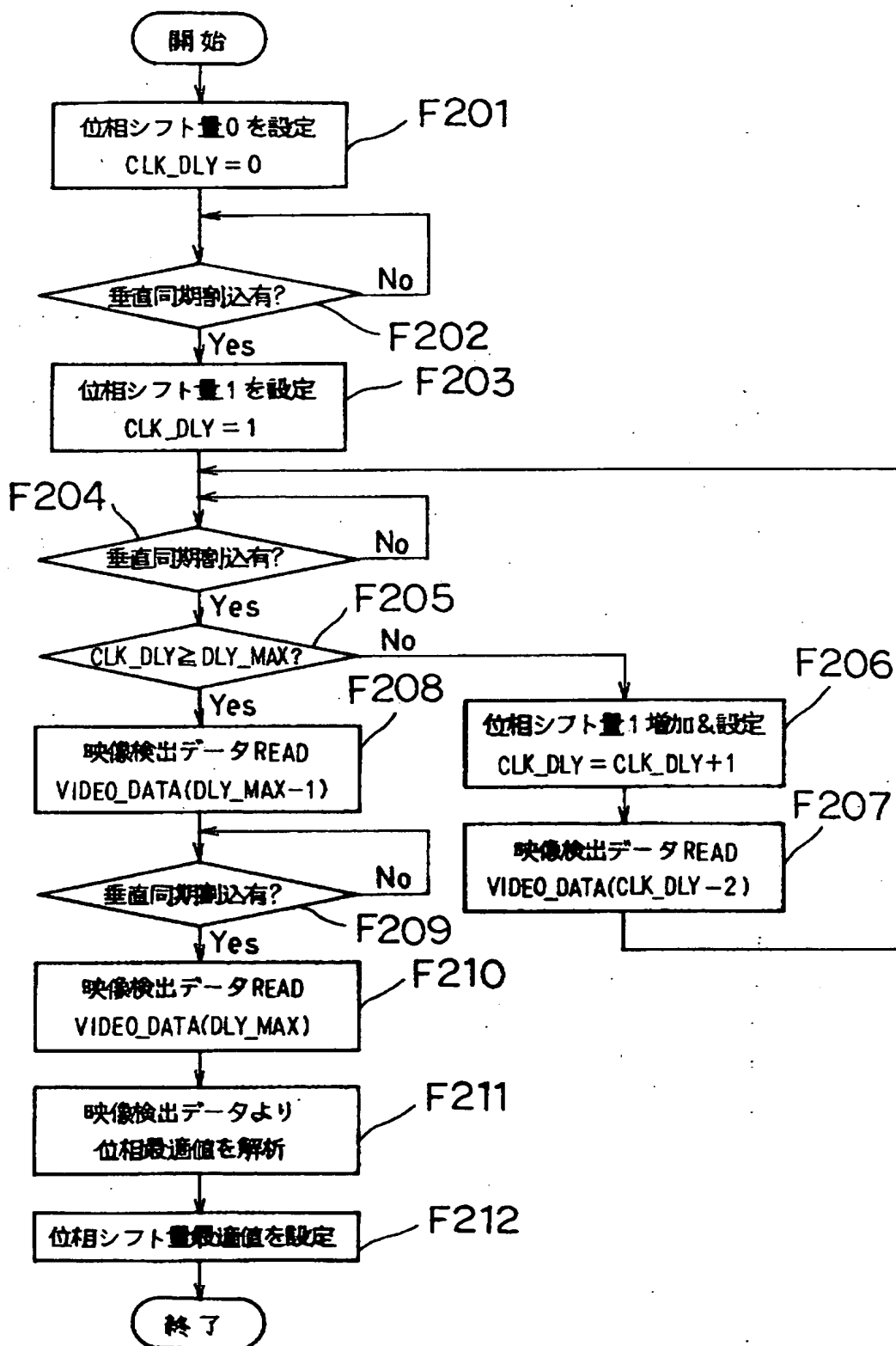
【図 2】



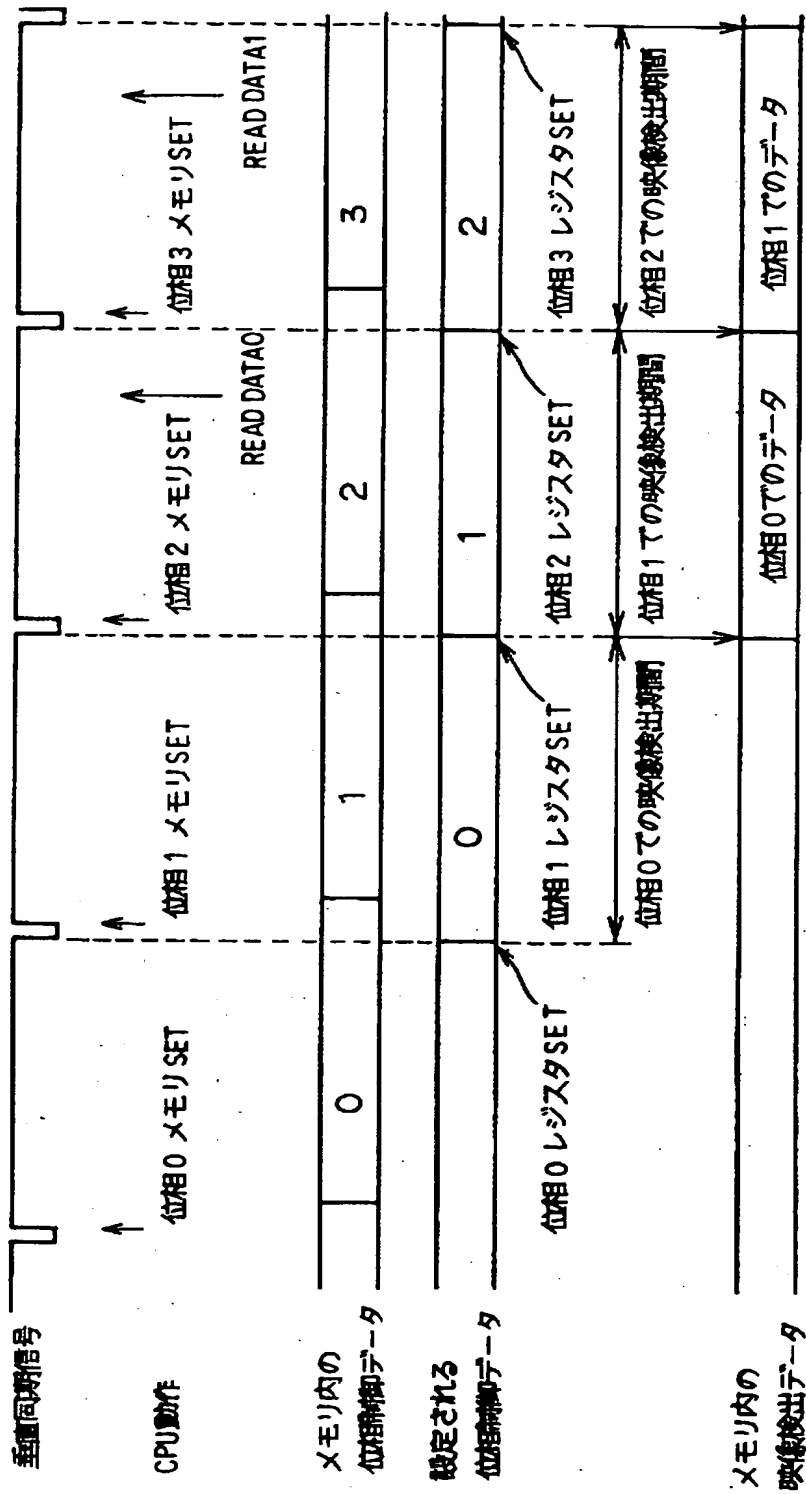
【図 3】



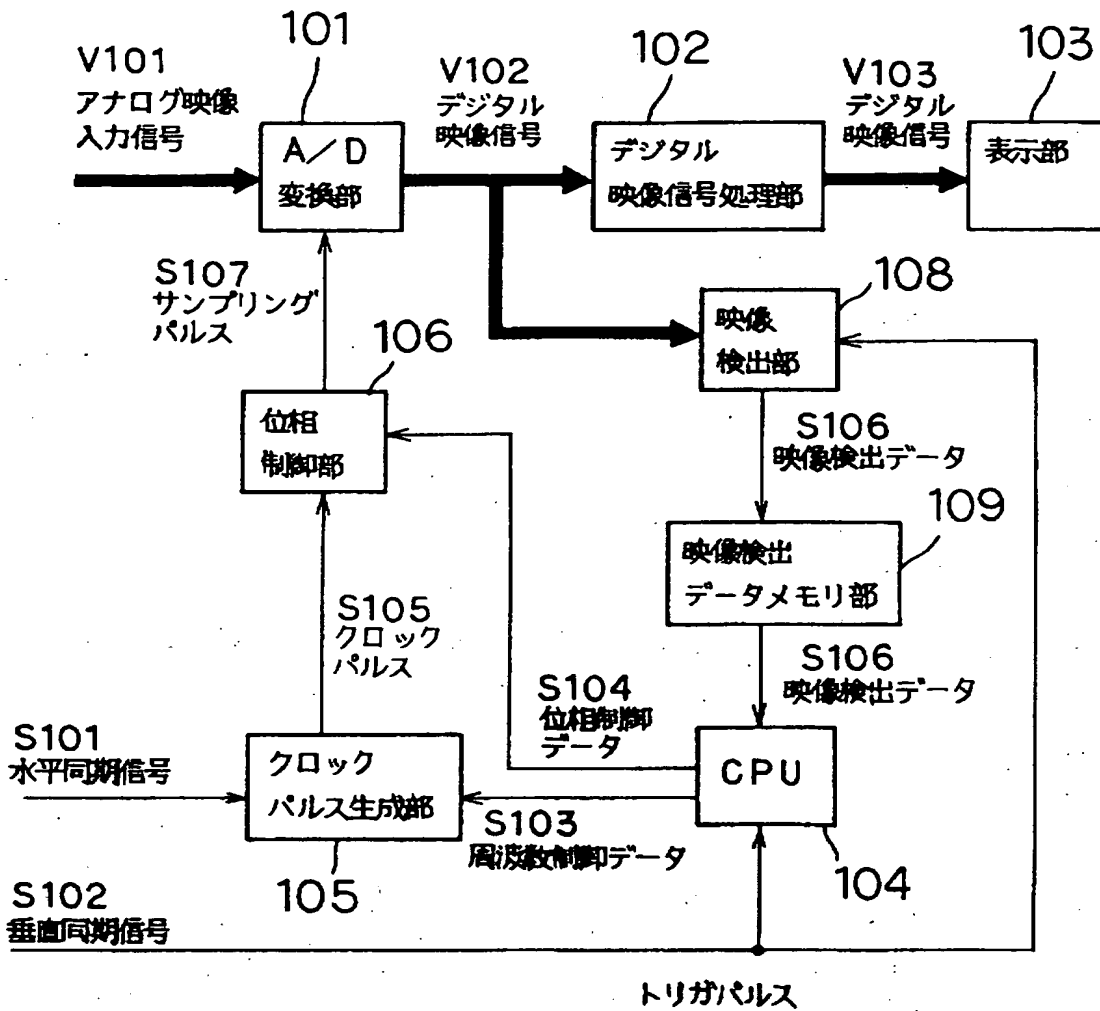
【図 4】



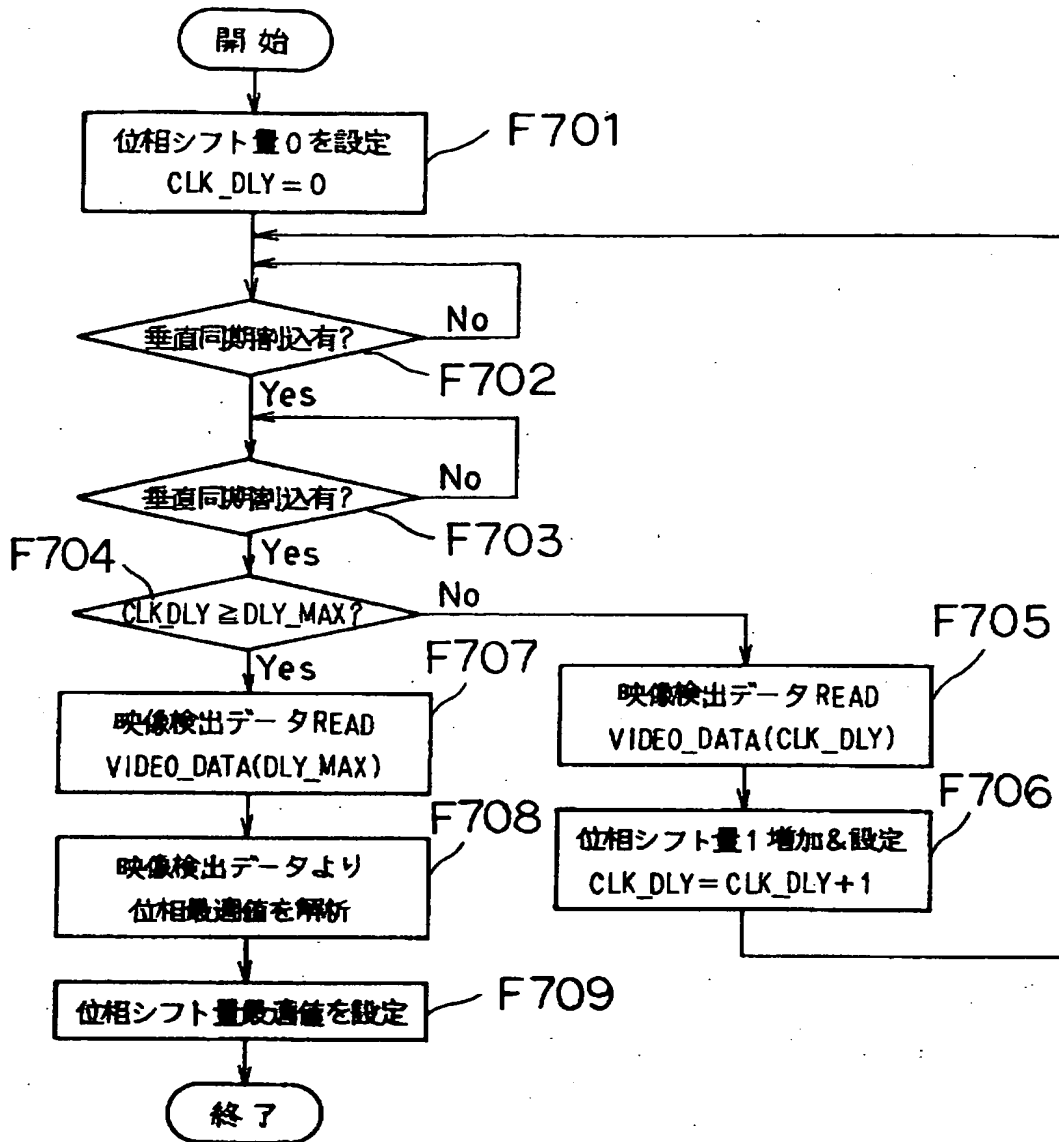
【図 5】



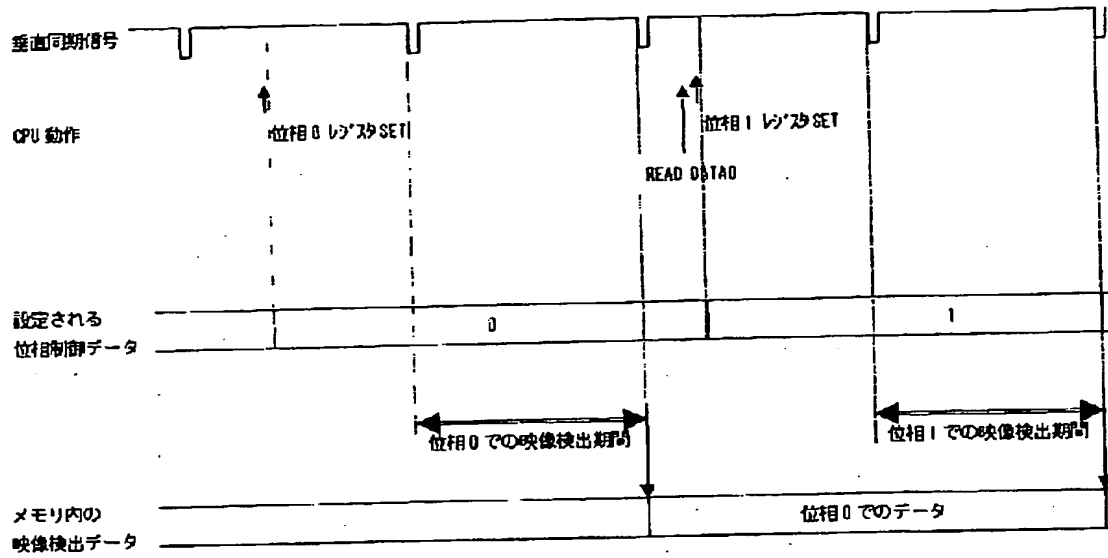
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 自動調整にかかる時間を大幅に短縮する自動調整方法および自動調整回路を提供する。

【解決手段】 CPU 1 0 4 の通信速度が速くできる場合、自動位相調整の手順として、垂直同期割込直後に位相シフト量 $CLK_DLY = n$ を設定し、次の割込が垂直同期発生したときに位相シフト量 $CLK_DLY = n+1$ を設定した後映像検出データ $V_IDEO_DATA(n)$ を読み込む。

また、CPU 1 0 4 との通信速度に制限のある場合、位相制御データメモリ部 1 0 7、映像検出データメモリ部 1 0 9 及び垂直同期信号 S 1 0 2 によるトリガ入力を有する自動調整回路によって自動調整を行う。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [300016765]

- | | |
|----------|---------------------|
| 1. 変更年月日 | 2000年 2月22日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都港区芝五丁目33番1号 |
| 氏 名 | エヌイーシービューテクノロジー株式会社 |
| 2. 変更年月日 | 2001年 4月 2日 |
| [変更理由] | 住所変更 |
| 住 所 | 東京都港区芝五丁目37番8号 |
| 氏 名 | エヌイーシービューテクノロジー株式会社 |

出 願 人 履 歴 情 報

識別番号 [500104233]

1. 変更年月日 2000年 3月 9日
[変更理由] 新規登録
住 所 東京都港区芝浦四丁目13番23号
氏 名 エヌイーシー三菱電機ビジュアルシステムズ株式会社